



Universidade de Pernambuco (UPE)
Escola Politécnica de Pernambuco (POLI)
Instituto de Ciências Biológicas (ICB)

Coordenação de Pós-Graduação em Engenharia de Sistemas

Proposta de Dissertação de Mestrado

Área: Prototipação de Sistemas Embarcados
Linha de Pesquisa: Otimização de escalonamento de tarefas em HW reconfigurável
Título Provisório: “Um Modelo em Redes de Petri para Escalonamento de Tarefas em HW Reconfigurável”
Orientador: Prof. Remy Eskinazi, DSc

Descrição: Atualmente os dispositivos eletrônicos digitais programáveis vêm trazendo enormes avanços na implementação de sistemas embarcados, especialmente aqueles que apresentam algum tipo de computação embarcada. Particularmente, os dispositivos FPGAs (*Field Programmable Gate Arrays- Rede de Portas Programáveis em Campo*) vêm apresentando grandes vantagens na implementação deste tipo de sistema devido a apresentarem o paradigma computacional de reconfiguração. Esta característica permite que este dispositivo seja reprogramado total ou parcialmente de acordo com a demanda do projeto. As vantagens dos sistemas reconfiguráveis são amplamente reconhecidas: algoritmos implementados em hardware podem ser adaptados para novas necessidades ou requisitos do projeto, estendendo o seu tempo de vida útil. Sistemas podem se auto reconfigurar de forma a operar de maneira segura ou com tolerância à falhas. Tarefas implementadas em *hardware* podem ser carregadas no FPGA de acordo com uma demanda de utilização, gerando economia de recursos e de energia. Ao mesmo tempo, devido às altas densidades de lógica programável, estes dispositivos habilitam o processamento paralelo de tarefas de hardware. Outro fator importante a ser considerado, é disponibilidade cada vez maior, de lógica programável destes dispositivos que permite que sistemas complexos (microprocessador, memórias, controladores de barramento e dispositivos de E/S dedicadas à aplicação) possam ser implementados em um único chip. Estes sistemas são justamente chamados de SoC (System-on-Chip). Outra característica adicional dos FPGAs é a utilização de blocos lógicos pré-sintetizados chamados *IP (Intellectual Property – Propriedade Intelectual)*. Estes núcleos apresentam-se como dispositivos testados e prontos, disponíveis para aquisição ou presentes nas bibliotecas das ferramentas de prototipação, que podem ser sintetizados em FPGAs gerando sistemas embarcados de alta confiabilidade.

Embora o desenvolvimento tecnológico em sistemas digitais venha provocando inúmeras vantagens para sua aplicação, autores tais como Guccione [1], Platzner [2] [3], Tatineni [4] e Zhang [5], expõem a grande carência de metodologias e ferramentas que venham a facilitar a implementação de sistemas reconfiguráveis. As possibilidades de uso se apresentam de forma tão abrangente que torna difícil uma generalização de metodologias. De fato, diversos trabalhos vem sendo apresentados na tentativa de suprir as lacunas referentes à falta de ferramentas e métodos, com o objetivo de permitir a implementação eficiente de projetos em reconfiguração. Um claro exemplo é demonstrado no trabalho de Fons [6] onde a reconfiguração parcial e dinâmica é utilizada como ferramenta chave para a implementação de aplicações em Biometria.

De forma a contribuir com as metodologias de implementação de sistemas embarcados, o presente projeto de pesquisa de mestrado tem como objetivo o desenvolvimento de processadores de escalonamento em hardware reconfigurável. Estes processadores tem embarcado na sua memória de controle, um algoritmo de carregamento de tarefas que seja otimizado para a aplicação de hardware como um todo. Dependendo do tipo de solução adotada o processador pode executar algoritmos de escalonamento estático (que são mais previsíveis) ou dinâmico.

Referências Bibliográficas:

- [1] Guccione, S. A.; Levi, D. The advantages of Run-Time Reconfiguration in John Schewel, et.al., editors, *Reconfigurable Technology: FPGAs for Computing and Applications, Proc. SPIE 3844*, pages 87-92, Bellingham, WA, September 1999
- [2] Steiger, C.; Walder, H.; Platzner, M.; Thiele, L. Online Scheduling and Placement of Real-time Tasks to Partially Reconfigurable Devices in 24th International Real-Time Systems Symposium p224 Cancun-Mexico - 2003
- [3] Tatineni, S. Dynamic Scheduling, Allocation and Compaction Scheme for Real-Time Tasks on FPGAs *Master of Science Thesis - Louisiana State University* p. 7-21 May 2002
- [4] Walder, H.; Platzner, M.. Online Scheduling for Block-Partitioned Reconfigurable Devices. In: 6th Design, Test and Automation in Europe Conference and Exhibition – (Date’03), p.290-295 Messe Munich, Germany 2003.



Universidade de Pernambuco (UPE)
Escola Politécnica de Pernambuco (POLI)
Instituto de Ciências Biológicas (ICB)

- [5] Zhang X., Ng, K.W. A review of High-Level synthesis for Dynamically reconfigurable FPGAs. *Microprocessors and Microsystems* – v.24 pp199-211, april 2000
- [6] Fons, F, Fons, M. Making biometrics the killer app of FPGA dynamic partial reconfiguration, disponível em http://www.eetimes.com/document.asp?doc_id=1278303&page_number=2, acessado em 18/11/2013